

日本国特許庁

05.03.01

PATENT OFFICE
JAPANESE GOVERNMENT

RECD 20 APR 2001

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2001年 1月12日

JP01/1672

出願番号

Application Number:

特願2001-005627

出願人

Applicant (s):

ローム株式会社

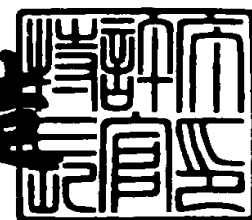
E.U.

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3026689

【書類名】 特許願

【整理番号】 00-00311

【提出日】 平成13年 1月12日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 東田 祥史

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 高石 昌

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代表者】 佐藤 研一郎

【代理人】

【識別番号】 100098464

【弁理士】

【氏名又は名称】 河村 洸

【電話番号】 06-6303-1910

【先の出願に基づく優先権主張】

【出願番号】 特願2000- 59710

【出願日】 平成12年 3月 6日

【手数料の表示】

【予納台帳番号】 042974

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910321

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体層に並列接続された複数個のトランジスタセルが配列されることにより形成される絶縁ゲート電界効果トランジスタと、該トランジスタのゲートおよびソース間に接続され、該ゲートおよびソース間に印加される一定電圧以上の入力をブレイクダウンさせる保護ダイオードとを有する半導体装置であって、前記保護ダイオードが、前記配列されるトランジスタセルより外周側の絶縁膜上にリング状の p 形層と n 形層とが平面的に交互に設けられることにより双方向ダイオードとして形成され、かつ、前記 p 形層または n 形層の最内周および最外周の層にリング状にコンタクトする金属膜がそれぞれ設けられ、該リング状にコンタクトする金属膜のそれぞれが金属膜からなるソース配線およびゲート電極パッドのいずれかと連続的に形成されてなる半導体装置。

【請求項 2】 前記最外周の層とコンタクトして設けられるリング状金属膜が、前記ゲート電極パッドと連続的に形成されるゲート配線であり、前記最内周の層とコンタクトして設けられる金属膜が前記ソース配線である請求項 1 記載の半導体装置。

【請求項 3】 前記最外周の層とコンタクトして設けられるゲート配線に、部分的に前記保護ダイオードを跨いでトランジスタセルのゲート電極と接続されるようにゲート接続部が形成され、該ゲート接続部と前記ソース配線の前記最内周の層とコンタクトするソース接続部とが、平面的に交互に形成されてなる請求項 2 記載半導体装置。

【請求項 4】 前記 p 形層および n 形層がポリシリコン、非晶質シリコン、絶縁膜上のシリコン単結晶、SiC、および SiGe のいずれかからなる請求項 1、2 または 3 記載の半導体装置。

【請求項 5】 前記 p 形層および n 形層は、それぞれの同じ導電形層同士で幅および不純物濃度がほぼ一定になるように形成されてなる請求項 1 ないし 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 前記配列されるトランジスタセルの前記保護ダイオードに一

番近い側に半導体基板と異なる導電形の拡散領域が形成され、前記保護ダイオードの最内周の層にコンタクトされる前記ソース配線が、該拡散領域にもコンタクトされてなる請求項 1 ないし 5 のいずれか 1 項記載の半導体装置。

【請求項 7】 請求項 1 記載の半導体装置において、前記双方向ダイオードを構成する p 形層および n 形層が平面的ではなく、高さ方向に交互に形成されてなる半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOSFET や絶縁ゲート型バイポーラトランジスタ (IGBT) のゲート・ソース間などに保護ダイオードが接続されるような半導体装置に関する。さらに詳しくは、チップ面積を大きくすることなく、保護ダイオードの挿入抵抗を小さくし、静電破壊耐量を大きくすることができる半導体装置に関する。

【0002】

【従来の技術】

従来、たとえば縦型 MOSFET は、スイッチングスピードが速く、大出力のスイッチングデバイスとして用いられているが、ゲート絶縁膜を薄膜化することにより、ゲートしきい値電圧を下げる方向にある。この絶縁膜が薄くなると静電気などの小さなエネルギーでも容易に絶縁破壊する。そのため、ゲート・ソース間に保護ダイオードを挿入して、その保護ダイオードで静電気を放電させる構造が用いられている。この保護ダイオードは、たとえばポリシリコン膜からなるゲート電極パッドの外周部分に p n 接合が形成されて双方向のツェナーダイオードとされ、ゲートとソースとの間に接続されるもので、このような保護ダイオードが設けられる構造の縦型 MOSFET の一例が図 10 (a) に断面図で示されている。

【0003】

すなわち、たとえば n^+ 形の半導体基板 21a 上に、ドレイン領域とする n 形の半導体層 (エピタキシャル成長層) 21 がエピタキシャル成長され、その表面側に p 形不純物を拡散することにより p 形のボディ領域 22 が形成され、そのボ

ボディ領域 2 2 の外周部に n^+ 形のソース領域 2 3 が形成されている。ボディ領域 2 2 の端部およびその外側に位置する半導体層 2 1 の表面側にゲート酸化膜 2 4 を介してゲート電極 2 5 が設けられている。そして、ソース領域 2 3 と接続するように層間絶縁膜 2 6 に設けられるコンタクト孔を介して A 1 などによりソース電極（ソース配線）2 7 が形成され、半導体基板 2 1 a の裏面に図示しないドレイン電極が形成されることにより、FET 部 2 0 が形成されている。

【0 0 0 4】

このボディ領域 2 2 が図 1 0 (b) に平面図で示されるように、マトリクス状に形成され、トランジスタセルが複数個形成されることにより、大電流に対応するパワー MOSFET が形成されている。

【0 0 0 5】

また、保護ダイオード部 3 0 は、 n 形半導体層 2 1 にボディ領域 2 2 と同様に拡散により形成された p 形領域 3 1 の表面に絶縁膜 3 2 を介してポリシリコン膜からなるゲート電極パッド 3 3 が形成され、図 1 1 (a) にゲート電極パッド 3 3 の平面説明図が示されるように、そのゲート電極パッド 3 3 の外周部に n 形層 3 3 a と p 形層 3 3 b とが、交互に形成されることにより、 $npnpn$ の接続構造として最外周の n 形層 3 3 a が前述のソース電極 2 7 と接続されている。その結果、図 1 1 (b) に等価回路図が示されるように、FET のゲート G とソース S 間に双方向のツェナーダイオード Z D からなる保護ダイオード 3 0 が形成されている。なお、図 1 0 において、3 5 はポリシリコンからなるゲート電極パッド 3 3 と接続して形成された A 1 などの金属からなるボンディング用のゲート電極パッドおよびゲート配線である。

【0 0 0 6】

【発明が解決しようとする課題】

前述のように、従来の保護ダイオード部は、ポリシリコンからなるゲート電極パッドの外周部に設けられる構造になっている。ゲート電極パッドの外周部に設けられる構造では、保護ダイオード部の接合面積（ pn 接合方向に直角な方向の長さで、ゲート電極パッドの外周長さ）を十分に大きくすることができない。そのため、保護ダイオード部の直列抵抗が増大して十分に耐圧を向上させることが

できず、ゲート電極パッドを大きくすると、トランジスタセルの部分が狭くなって特性が低下するか、チップ面積を大きくしなければならないという問題がある。

【 0 0 0 7 】

本発明は、このような問題を解決するためになされたもので、チップ面積を大きくすることなく、チップの空いている外周部分を利用しながら、直列抵抗が小さく、かつ、十分に保護機能を果たすことができる保護ダイオードを有する半導体装置を提供することを目的とする。

【 0 0 0 8 】

本発明の他の目的は、前述のチップ外周部に保護ダイオードを設けることを利用して、トランジスタセル群の中にゲートフィンガなどを設けなくても、全体のトランジスタセルに低抵抗の配線を介して信号を伝達し得る構造の半導体装置を提供することにある。

【 0 0 0 9 】

本発明のさらに他の目的は、保護ダイオードの部分的破壊による破損を防止することにより、またはその材料の選択もしくは接合面積を大きくして直列抵抗を小さくすることにより、破壊耐量を向上させることができる保護ダイオードを有する半導体装置を提供することにある。

【 0 0 1 0 】

本発明のさらに他の目的は、トランジスタセル群の最外周セルの耐圧を向上させる構造の半導体装置を提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

本発明者らは、縦型MOSFETなどのサージなどに対する破壊耐量を向上させるため、鋭意検討を重ねた結果、ゲート・ソース間にツェナーダイオードなどの保護ダイオードを挿入しても、そのゲート・ソース間の直列抵抗が大きくなると、保護ダイオードを介して放電する前に、ゲート絶縁膜が破壊して、充分にその機能を果たし得ないことを見出した。そして、できるだけ幅広に（pn接合方向に対して直角方向の長さを長く）形成すると共に、その接続構造も半導体層な

どを介さないで、直接金属配線により接続し、抵抗成分をもたせない構造にすることにより、始めて破壊耐量を向上させることができることを見出した。

【 0 0 1 2 】

本発明の半導体装置は、半導体層に並列接続された複数個のトランジスタセルが配列されることにより形成される絶縁ゲート電界効果トランジスタと、該トランジスタのゲートおよびソース間に接続され、該ゲートおよびソース間に印加される一定電圧以上の入力をブレイクダウンさせる保護ダイオードとを有する半導体装置であって、前記保護ダイオードが、前記配列されるトランジスタセルより外周側の絶縁膜上にリング状のp形層とn形層とが平面的に交互に設けられることにより双方向ダイオードとして形成され、かつ、前記p形層またはn形層の最内周および最外周の層にリング状にコンタクトする金属膜がそれぞれ設けられ、該リング状にコンタクトする金属膜のそれぞれが金属膜からなるソース配線およびゲート電極パッドのいずれかと連続的に形成されている。ここにリング状にコンタクトするとは、リング状に設けられるp形層またはn形層の全周に沿って連続的または間欠的にコンタクトすることを意味する。

【 0 0 1 3 】

この構造にすることにより、配列されるトランジスタセルの外周側は、半導体チップの外周部になり、半導体チップには、通常セル活性領域の周囲またはチップの外周部には空乏層の終端部を確保するためのスペース（フィールド部）があり、そのスペース部分の絶縁膜上に保護ダイオードが形成されている。そのため、チップ面積を大きくすることなく、従来の空きスペースを利用して保護ダイオードが形成されている。

【 0 0 1 4 】

しかも、チップの外周部にリング状に保護ダイオードが形成されることにより、その周長（pn接合方向に直角の方向の長さ、すなわちpn接合面積）はチップサイズに対してほぼ最大に形成され、pn接合方向の直列抵抗を非常に小さくすることができる。さらに、その保護ダイオードの最内周および最外周の半導体層にリング状金属膜がコンタクトされると共に、最内周および最外周のリング状金属膜にゲート電極パッドおよびソース配線のいずれか一方が一体的に接続され

ていることにより、保護ダイオード両端の接続部に半導体の拡散領域やポリシリコン膜などを使用していないため、非常に低抵抗になっている。その結果、チップ面積を大きくすることなく、非常に破壊耐量に優れた保護ダイオードを内蔵し、静電気などに対する十分な保護をすることができる。

【 0 0 1 5 】

前記最外周の層とコンタクトして設けられるリング状金属膜が、前記ゲート電極パッドと連続的に形成されるゲート配線であり、前記最内周の層とコンタクトして設けられる金属膜が前記ソース配線であることにより、リング状金属膜、ゲート電極パッド、およびソース配線を1層で同時に形成することができ、簡単に形成することができる。

【 0 0 1 6 】

前記最外周の層とコンタクトして設けられるゲート配線に、部分的に前記保護ダイオードを跨いでトランジスタセルのゲート電極と接続されるようにゲート接続部が形成され、該ゲート接続部と前記ソース配線の前記最内周の層とコンタクトするソース接続部とが、平面的に交互に形成されていることにより、チップの外周部から金属配線により各セルのゲート電極と接続しているため、ゲート電極パッドから遠い位置にあるセルでも、ポリシリコンの抵抗層をそれほど多く経由することがなくなり、ゲートフィンガなどを設けなくても、減衰や時間遅れなく信号をチップ内の全てのセルに伝達することができる。

【 0 0 1 7 】

前記p形層およびn形層は、ポリシリコン、非晶質シリコン、絶縁膜上のシリコン単結晶、SiC、およびSiGeのいずれかにより形成される。とくに、SiCからなれば、抵抗値がSiの1/10程度と小さく好ましい。

【 0 0 1 8 】

前記p形層およびn形層は、それぞれの同じ導電形層同士で幅および不純物濃度がほぼ一定になるように形成されることにより、p形層やn形層が複数層からなる場合に、サージなどの大きな電力が入っても、全体の層に均等に分散して特定の層にその電力が集中することないため、全体として破壊耐量が向上し好ましい。

【 0 0 1 9 】

前記配列されるトランジスタセルの前記保護ダイオードに一番近い側に半導体基板と異なる導電形の拡散領域が形成され、前記保護ダイオードの最内周の層にコンタクトされる前記ソース配線が、該拡散領域にもコンタクトされていることにより、フィールドプレートとなって、一層トランジスタの耐圧が向上する。

【 0 0 2 0 】

本発明による半導体装置の他の形態は、請求項 1 記載の構造で、前記双方向ダイオードを構成する p 形層および n 形層が平面的な配列ではなく、高さ方向に交互に形成されるもので、このような構成にすることにより、p n 接合の接合面積を非常に大きくすることができ、直列抵抗が小さくなり、サージなどの吸収用ダイオードとして確実に作用すると共に、大電流が可能になるため、破壊耐量もより向上する。

【 0 0 2 1 】

【発明の実施の形態】

つぎに、図面を参照しながら本発明の半導体装置について説明をする。本発明による半導体装置は、図 1 にその一実施形態である縦型 MOS FET のチップ外周部の断面説明図（図 1（b）の A - A 断面）とチップ全体の平面説明図が示されるように、半導体層 4 に複数個のトランジスタセル T が配列されて形成されている。そして、その配列される複数個のトランジスタセル T より外周側（チップ端部側）の絶縁膜 6 上にポリシリコン膜が設けられ、そのポリシリコン膜にリング状の p 形層 1 b と n 形層 1 a とが平面的に交互に形成されることにより、保護ダイオード 1 が形成されている。この保護ダイオード 1 は、その一番外側の層に、A 1 などの金属膜からなり、ゲート電極パッドと連続的に形成されるゲート配線 2 がリング状に設けられてコンタクトされ、一番内側の層に、金属膜からなるソース配線 3 がコンタクトされることにより、ゲートとソース間に接続されていることに特徴がある。

【 0 0 2 2 】

前述のように、本発明者らは、縦型 MOS FET などのゲート・ソース間に、サージなどに対する保護ダイオードをただ挿入しても、所望の破壊耐量が得られ

ず、さらなる耐量の向上を図るため鋭意検討を重ねた結果、ゲート・ソース間にツェナーダイオードなどの保護ダイオードを挿入する場合に、そのゲート・ソース間の直列抵抗が大きくなると、保護ダイオードを介して放電する前に、ゲート絶縁膜が破壊して、十分にその機能を果たし得ないことを見出した。すなわち、保護ダイオード自身にも直列抵抗を有し、またその接続に半導体層の拡散領域などを介して接続すると、その抵抗分が影響し、その抵抗分により保護ダイオードが十分に機能する前に縦型MOSFETが破損することを見出した。

【 0 0 2 3 】

たとえば、保護ダイオードの抵抗分としては、保護ダイオード1を構成するポリシリコン膜への不純物濃度や長さ（pn接合方向の長さ；pn接合面と直角方向の長さ）、その幅（pn接合方向に対して直角方向の長さ；pn接合の面積）により大きく影響を受けることが判明した。ポリシリコン膜への不純物濃度やその長さ（pn接合方向の長さ）は、保護ダイオードをブレイクダウンさせる電圧にも影響するため、抵抗値を下げる方向のみで設定することはできないが、その幅（pn接合方向に対して直角方向の長さ）は、ブレイクダウン電圧とは関係なく抵抗のみに影響し、できるだけ大きくすることにより、すなわちpn接合のリングが大きくなるチップの外周部に形成されることにより、その直列抵抗を下げることができる。

【 0 0 2 4 】

また、同じチップの外周部に保護ダイオード30を形成しても、たとえば図9（a）に示されるように、チップの端部側にソース配線27aが形成されると、ソース配線27aを半導体層の表面に形成されたpウェル31を介して接続しないと、金属膜からなるゲート配線35やゲート電極パッドと同時に形成することができないが、このpウェル31のような拡散領域を経路とすると、拡散領域のシート抵抗は、たとえば $200\Omega/\square$ （ $100\sim 1000\Omega/\square$ ）程度であり、ソース・ゲート間の配線抵抗Rは、拡散領域31の接続方向の長さ（図9（a）参照）を $100\mu\text{m}$ 、チップ周囲の長さを $1\text{mm}\times 4=4\text{mm}$ 、とすると、 $R=100\mu\text{m}/4\text{mm}\times 200\Omega/\square=5\Omega$ （ $2.5\sim 25\Omega$ ）となる。

【 0 0 2 5 】

すなわち、図 9 (b) に等価回路図が示されるように、抵抗 $R = 5 \Omega$ 程度が直列に接続された構造になる。この状態で静電破壊耐量を上げるためには、保護ダイオードのブレークダウン後の抵抗値を 10Ω 程度まで下げなければならず、ブレークダウン電圧に必要な不純物濃度との関係で、不可能に近くなる。そのため、このような拡散領域を保護ダイオードの接続構造の一部に用いることはできず、抵抗の小さい配線を用いる必要があることを見出した。

【 0 0 2 6 】

本発明による保護ダイオード 1 は、図 1 (b) にゲート配線 2 とソース配線 3 の A 1 パターンが形成された平面説明図が示されるように、半導体チップの外周部にリング状に形成されている。図 1 に示される縦型 MOSFET では、この保護ダイオード 1 の内周側には、図 1 (a) に一部が示されているように、たとえば p 形のボディ領域 5 で示されるトランジスタセルがマトリクス状に形成されている。したがって、そのセル活性領域上には設けられないが、セル活性領域（ソース配線 3 が形成された領域）の外周側には、各セル部での空乏層をできるだけセルから離れた部分で終端させるように、半導体チップの外周部にはある程度のスペース（フィールド部）が確保されている。このフィールド部の SiO_2 などからなる絶縁膜（フィールド酸化膜）6 上に、たとえばポリシリコンからなるゲート電極パッドやセル部のゲート電極 8 を形成すると同時にポリシリコン膜が成膜され、パターニングされると共に、不純物を導入して n 形層 1 a と p 形層 1 b とが交互に配列され、p n 接合部が横方向に複数組直列に形成されている。

【 0 0 2 7 】

前述のポリシリコン膜は、たとえば $0.5 \mu\text{m}$ 程度の厚さに成膜され、たとえば $4 \mu\text{m}$ 程度の幅で n 形層 1 a と、p 形層 1 b が交互にリング状に形成されることにより構成されている。この n 形層 1 a および p 形層 1 b の不純物濃度は、たとえばそれぞれ $5 \times 10^{20} \text{cm}^{-3}$ 、 $7 \times 10^{17} \text{cm}^{-3}$ 程度に形成され、この不純物濃度と p n 接合の数により、所望のブレークダウン電圧が得られるように設定される。n 形層 1 a と、p 形層 1 b とにより保護ダイオード 1 を形成する方法は、たとえばポリシリコン膜に p 形ドーパントが全面にドーピングされた後に、パターニングによりリング状に n 形ドーパントが、前述の不純物濃度になるように

ドーピングされることにより、 n 形層 1 a と p 形層 1 b とが平面的に交互に繰り返されるようにドーピングされて、双方向のツェナーダイオードが形成される。

【 0 0 2 8 】

この保護ダイオード 1 のブレイクダウン電圧は、前述のように、その不純物濃度を調整することにより、ある程度は調整することができ、通常は 1 個のダイオードで 5 ～ 1 0 V 程度になるようにその不純物濃度が設定されている。そして、たとえば 3 ～ 4 個程度の $p-n$ 接合部を形成して 2 0 ～ 3 0 V 程度でブレイクダウンするような保護ダイオード 1 が形成される。

【 0 0 2 9 】

この保護ダイオード 1 の最外周の n 形層 1 a には、ゲート配線 2 がコンタクトされている。すなわち、図 1 (a) に示されるように、たとえばポリシリコンからなる保護ダイオード 1 およびトランジスタセルのゲート電極 8 が形成された後、層間絶縁膜 9 が設けられ、保護ダイオード 1 の最外周および最内周にコンタクト孔が開けられ、全面に成膜された A 1 膜をパターニングすることにより、図 1 (b) に示されるように、ゲート電極パッド G と連続して設けられるゲート配線 2 とソース配線 3 が金属膜により形成されている。その結果、保護ダイオード 1 は共に金属膜配線によりゲートとソースとの間に接続された構造になっている。

【 0 0 3 0 】

トランジスタのセル部は、図 1 (a) に一部が示されるように、たとえば $30\mu\text{m}$ 程度の厚さの n^+ 形半導体基板 4 a 上に比抵抗が $0.1\Omega\cdot\text{cm}$ ～ 数十 $\Omega\cdot\text{cm}$ 程度で、厚さが数 μm ～ 数十 μm 程度にエピタキシャル成長された n^- 形のエピタキシャル成長層 4 の表面側に p 形ドーパントが導入されてボディ領域 5 がマトリクス状に設けられ、そのボディ領域 5 の外周部に n 形不純物が導入されてソース領域 7 が形成され、ソース領域 7 と n^- 形半導体層 4 とで挟まれるボディ領域 5 の周辺のチャネル領域上にゲート酸化膜 6 a を介してゲート電極 8 が設けられることにより形成されている。このボディ領域 5 が、前述のようにマトリクス状に設けられ、トランジスタセルが多数個並列接続され、大電流が得られる縦型 MOSFET になっている。

【 0 0 3 1 】

なお、ゲート電極 8 は、前述のように保護ダイオード部 1 と同時にポリシリコン膜を成膜してパターンニングし、1 種類のドーパントをドーピングすることにより形成される。このゲート電極 8 上に層間絶縁膜 9 が設けられ、さらにコンタクト孔が開けられ、前述のように、A 1 などが真空蒸着などにより設けられることにより、ソース配線 3 が各トランジスタのソース領域 7 と接続して形成される。また、半導体基板 4 a（図面では他の部分に比して薄く書かれている）の裏面には、同様に電極メタルの蒸着などによりドレイン電極 1 0 が形成される。

【 0 0 3 2 】

本発明の半導体装置は、このような構造になっているため、保護ダイオード 1 は、その面積に相当する p n 接合方向と直角方向の長さ（p n 接合面積）が半導体チップの外周の長さでほぼ最大の大きさに形成されており、しかもその両端部は A 1 などの金属膜によりゲートおよびソースと直接接続されている。そのため、ゲート・ソース間の直列抵抗を非常に小さくすることができる。すなわち、金属膜による配線の抵抗は、殆ど 0 にすることができる。その結果、ブレイクダウン電圧を得るための所望の不純物濃度（不純物濃度を低くすることにより空乏層の広がりが大きくなりブレイクダウン電圧が高くなる）にしても、その挿入抵抗を十分に抑えることができ、十分に静電破壊耐量を上げることができ、従来の 1 2 0 V 程度の破壊耐量を 1 0 0 0 V 程度に向上させることができた。

【 0 0 3 3 】

さらに、本発明によれば、空乏層の広がりのため、素子形成をすることができない半導体チップ周囲のフィールド部を利用して保護ダイオードが形成されているため、半導体チップ面積を大きくする必要がない。さらに、ゲート配線が保護ダイオードの最外周の層とコンタクトされているため、ゲート配線とソース配線とを同時に形成することができ、製造工程を増やすことなく効果的な保護ダイオードを形成することができる。その結果、使用目的に応じたブレイクダウン電圧を設定しながら、それ以上の静電気やサージなどの印加に対してゲート絶縁膜などの破壊しやすい部分を確実に保護することができる。

【 0 0 3 4 】

前述の例は、トランジスタセルが半導体チップの端部側まで形成されていたが

、図2に図1(a)と同様の断面説明図が示されるように、一番端部側には、トランジスタセルを形成しないで、ボディ領域と同じ p^+ 形領域11のみを形成しておき、その拡散領域11にもソース配線3をコンタクトさせておくことにより、空乏層の曲率をかせぐことができ、電界集中を避けることができるため、より一層耐圧が向上する。なお、図2において、図1と同じ部分には同じ符号を付してその説明を省略する。

【0035】

つぎに、図2に示される構造の半導体装置の製法を説明する。まず、図3(a)に示されるように、ドレインとなる n^+ 形シリコン基板4aに比抵抗が $0.1 \sim$ 数十 $\Omega \cdot \text{cm}$ 、厚さが数 $\mu\text{m} \sim$ 数十 μm の n 形エピタキシャル成長層4を成長する。そして、数百 nm 程度の酸化膜6を形成し、ボディ領域5および p^+ 形拡散領域11を形成する部分が開口するようにエッチングをし、スルーオキサイド膜16を形成する。その後、 p 形ドーパントであるボロン(B)をイオン注入し、熱処理を行って拡散することにより、 p 形のボディ領域5および p^+ 形拡散領域11を形成する。

【0036】

つぎに、図3(b)に示されるように、活性領域となるセル領域の酸化膜を除去し、ゲート酸化膜6aを形成しゲート電極となるポリシリコン膜8aを成膜する。そして、所望の耐圧の保護ダイオードが得られるような濃度に、たとえばボロン(B)イオンの p 形イオンを注入する。

【0037】

つぎに、図3(c)に示されるように、セル部を形成するため、ゲート電極8が形成されるようにポリシリコン膜8aをパターニングし、ついでそのゲート電極8をマスクとして、たとえばボロンイオンの p 形ドーパントをイオン注入し、熱拡散をすることによりチャネル領域5aを形成する。なお、このイオン注入の際、保護ダイオード部のポリシリコン膜8aにもイオン注入される。このイオン注入の濃度が極端に低い場合は問題ないが、たとえばこのイオン注入がドーズ量 10^{13}cm^{-2} あたりであれば、最初の p 形イオン注入と、このチャネル形成の p 形イオン注入を合計した濃度で保護ダイオード1の耐圧をコントロールする。

【 0 0 3 8 】

その後、図 4 (d) に示されるようなマスク 17 をホトレジストにより形成し、リン (P) などの n 形イオンを注入し、アニール処理により、ソース領域 7 を形成する。この際、拡散領域 11 部には n 形イオンが注入されないようにマスク 17 で覆うと共に、保護ダイオード部にも、同時に図 4 (d) に示されるようなマスク 17 を形成し、同じ n 形イオンを注入してアニール処理をすることにより、n 形層 1a と p 形層 1b からなる p n 接合の保護ダイオード 1 を形成する。

【 0 0 3 9 】

その後、図 4 (e) に示されるように、常圧 CVD 法により、たとえば PSG からなる層間絶縁膜 9 を堆積する。そして、パターニングをしてコンタクトホールを形成し、A1 などを蒸着してパターニングをすることにより、金属膜からなるゲート配線 2、ゲート電極パッド G およびソース配線 3 を形成することにより、図 1 に示される構造の縦型 MOSFET を形成することができる。この際、ゲート配線 2 は、図 1 (b) に示されるように、ゲート電極パッド G と連続すると共に、保護ダイオード 1 の最外層よりも外側まで覆うように、パターニングされて形成される。

【 0 0 4 0 】

前述の例では、保護ダイオードの最内周の層をソース電極と接続し、最外周の層を、ゲート電極パッドと接続して外周側に設けられた金属膜と接続する構造になっている。一方、ゲート電極パッドから遠い位置にあるセルはポリシリコンを介して各セルのゲート電極に接続されているため、抵抗成分が大きくなり信号伝達が遅れる。その問題を解決するため、一部セル列の間に金属膜からなるゲートフィンガと称されるものを設ける構造が採られる場合があるが、ゲートフィンガを設けるとセルの数が減るという問題がある。しかし、本発明のチップ外周にゲート電極パッドと接続された金属膜が形成される構造にすることにより、その金属膜からセル群の外周側のセルに接続することができ、ゲート電極パッドから遠いセルのゲート電極でもチップ外周の金属膜を介して接続をすることができ、セル群全体への信号伝達を早くすることができる。

【 0 0 4 1 】

すなわち、図 5 に最外周のゲート配線 2 とソース配線 3 部の一部の平面説明図が示されるように、ソース配線 3 と保護ダイオード 1 の最内周の層との接続部 3 a と、ゲート配線 2 の各セルのゲート電極との接続部 2 a とが交互に形成され、図 5 に示されるように、クシ歯が噛み合うように形成されることにより、セル群の外周側セルにもゲート電極パッドから金属膜を介して接続することができる。

【 0 0 4 2 】

前述の各例では、保護ダイオードの最内周と最外周とを A 1 などの金属電極膜でコンタクトさせるのに、最内周の n 形層または p 形層をソース配線と、最外周の n 形層または p 形層をゲート電極パッドと直接連続させてコンタクトさせたが、このようにすれば、全ての金属電極膜を一度に成膜してパターニングするだけで形成できるため好ましい。しかし、図 6 に示されるように、保護ダイオード 1 の最内周の n 形層または p 形層をゲート電極パッド 2 と、最外周の n 形層または p 形層をソース配線 3 と直接連続させてコンタクトさせてもよい。このようにすると、ソース配線 3 と最外周の n 形層または p 形層にコンタクトする金属配線 1 3 とを絶縁膜 1 5 を介して、再度設けられる金属配線 1 4 により接続する必要がある、製造工程は増える。しかし、保護ダイオード 1 の両端部を金属配線のみで直接ソース配線 3 およびゲート電極パッド 2 と接続することができ、直列抵抗の小さい保護ダイオード 1 を挿入することができる。

【 0 0 4 3 】

さらに、前述の例では、保護ダイオード 1 をポリシリコンで形成したが、ポリシリコンでなくても n 形層および p 形層を形成することができるものであればよく、アモルファス（非晶質）シリコン、絶縁膜上に形成される単結晶シリコン、単結晶、多結晶またはアモルファスの SiC、SiGe などにより形成することもできる。とくに、SiC はシリコンよりも抵抗値が $1/10$ 程度と小さいため、とくに直列抵抗を下げるのに効果が大きい。

【 0 0 4 4 】

さらに、前述の例では、保護ダイオード 1 を構成する n 形層 1 a および p 形層 1 b の幅を同じ幅で形成したが、図 7 に示されるように、n 形層 1 a の幅 a と p 形層 1 b の幅 b とが異なってもよい。しかし、n 形層 1 a 同士、p 形層 1 b

同士はそれぞれ同じ幅で、同じ不純物濃度に形成されることが好ましい。これは n 形層や p 形層が複数層で形成されると、サージなどが印加された場合に、弱い一層にそのサージが集中して破壊しやすいからである。各層が均等に形成されておれば、印加したサージなどは、各層に分散されるため、破壊耐量が大きくなり好ましい。

【 0 0 4 5 】

前述の各例では、保護ダイオード 1 の n 形層と p 形層とを平面的に並べて p n 接合を形成したが、このような構成にすれば、1 層の半導体層の成膜で、パターニングとドーピングだけにより形成することができる。しかし、図 8 に示されるように、n 形層 1 a および p 形層 1 b を縦方向に積層して形成してもよい。この場合、各層の厚さは、たとえば 0.5 ~ 2 μ m 程度で、n 形層および p 形層の不純物濃度は、前述の例と同程度で、成膜しながらドーピングすることができる。この場合、最下層と最上層は不純物濃度を大きくすることが好ましい。このようにすれば、p n 接合面積を非常に大きくすることができ、直列抵抗が小さく、しかも大電流が可能となり、非常に破壊耐量の大きな保護ダイオード 1 を内蔵することができる。なお、この場合も保護ダイオードの一端側である最下層と他端側である最上層との接続は、それぞれソース配線 3 およびゲート電極パッド 2 と連続的に形成される金属膜によりコンタクトされる。どちらがソース配線またはゲート電極パッドと接続されるようにしても構わない。

【 0 0 4 6 】

前述の例は、縦型 MOSFET の例であったが、この縦型 MOSFET にさらにバイポーラトランジスタが作り込まれる絶縁ゲート型バイポーラトランジスタ (IGBT) でも同様であり、また、バイポーラトランジスタでもベース・エミッタ間などの破壊を防止するため、電極間に保護ダイオードを接続する場合に、同様にチップの外周側に半導体層のスペースがあり、その上方の絶縁膜上に保護ダイオードを設けることができる。

【 0 0 4 7 】

【発明の効果】

本発明によれば、ポリシリコンからなるゲート電極パッドを大きくすることな

く、半導体チップの空きスペースを利用して保護ダイオードが形成されると共に、所望のブレークダウン電圧を確保しながら直列抵抗を小さくしているため、非常に大きな静電破壊耐量を得ることができる。その結果、小さな半導体チップでセルが多く高特性で、かつ、静電破壊耐量に強い、非常に信頼性の高い半導体装置が得られる。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の一実施形態である縦型MOSFETの断面および平面の説明図である。

【図 2】

図 1 の縦型MOSFETの変形例を示す断面説明図である。

【図 3】

図 2 の例の製造工程を説明する図である。

【図 4】

図 2 の例の製造工程を説明する図である。

【図 5】

図 1 に示される例で、最外周のゲート配線をセルのゲート電極と接続した例のゲート配線およびソース配線のパターンを示す説明図である。

【図 6】

図 1 に示される例の変形例を示す図 1 (a) と同様の断面説明図である。

【図 7】

図 1 に示される例の他の変形例を示す図 1 と同様の部分的断面説明図である。

【図 8】

本発明の他の実施形態を示す図 1 と同様の断面説明図である。

【図 9】

保護ダイオードの接続が、半導体層の拡散領域を介して行われる場合の問題を説明する図である。

【図 10】

従来の保護ダイオードが設けられた縦型MOSFETの断面および平面の説明

図である。

【図 1 1】

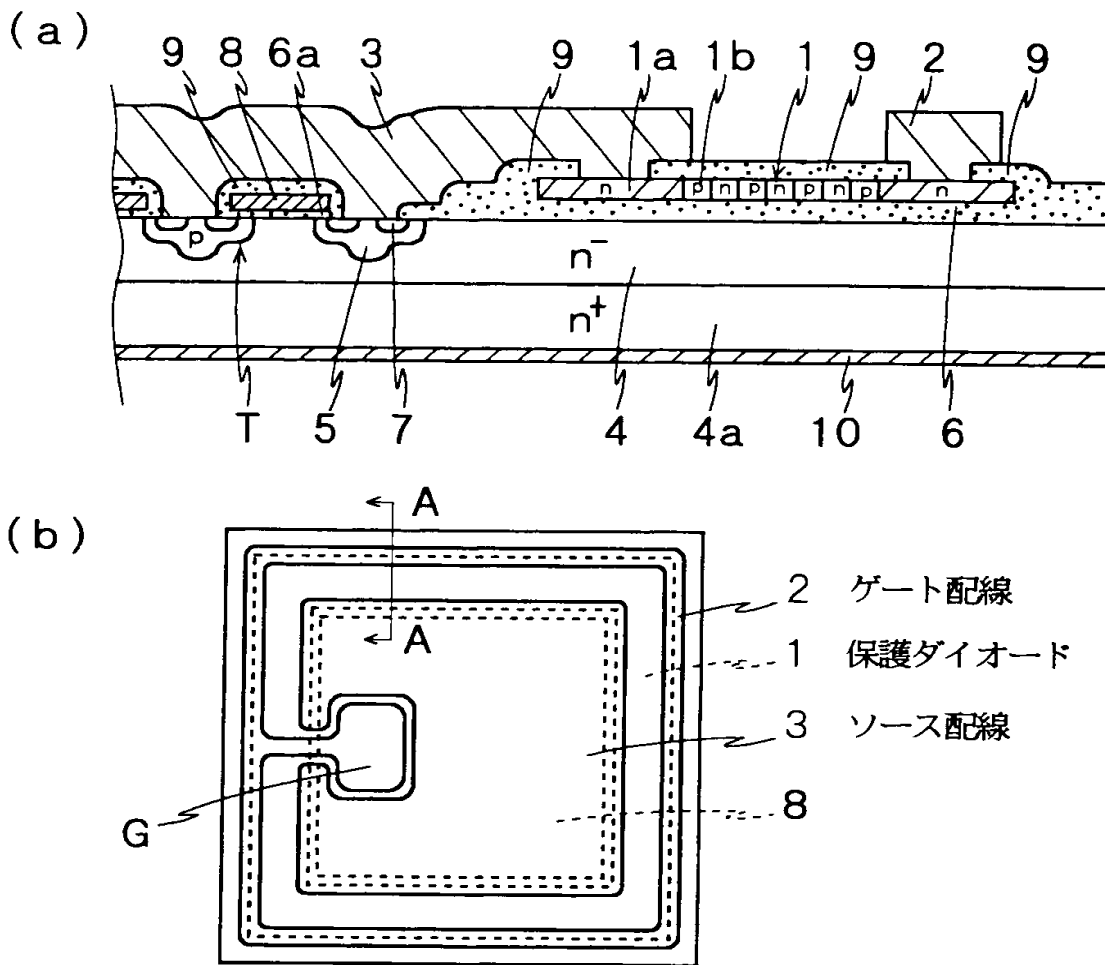
図 1 0 の保護ダイオードが設けられた電極パッドの説明図である。

【符号の説明】

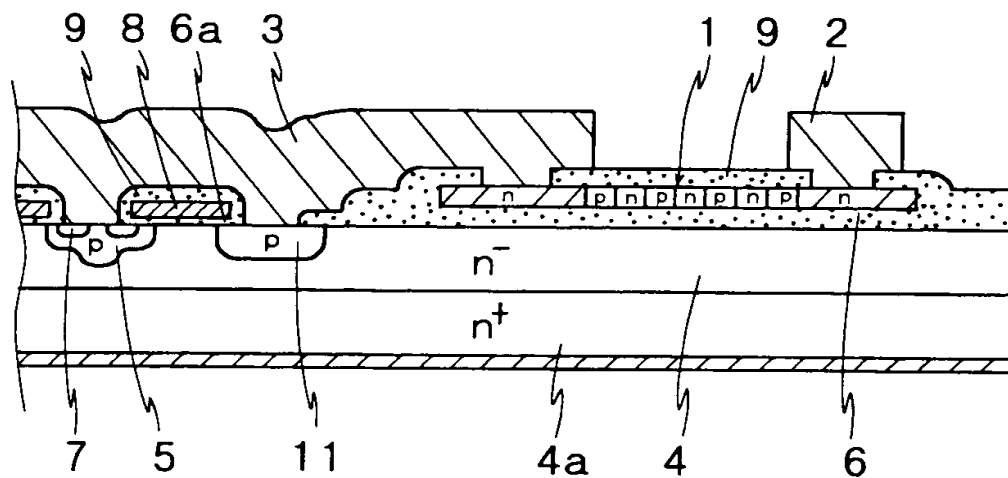
- 1 保護ダイオード
- 2 ゲート配線
- 3 ソース配線
- 4 半導体層
- 5 ボディ領域

【書類名】 図面

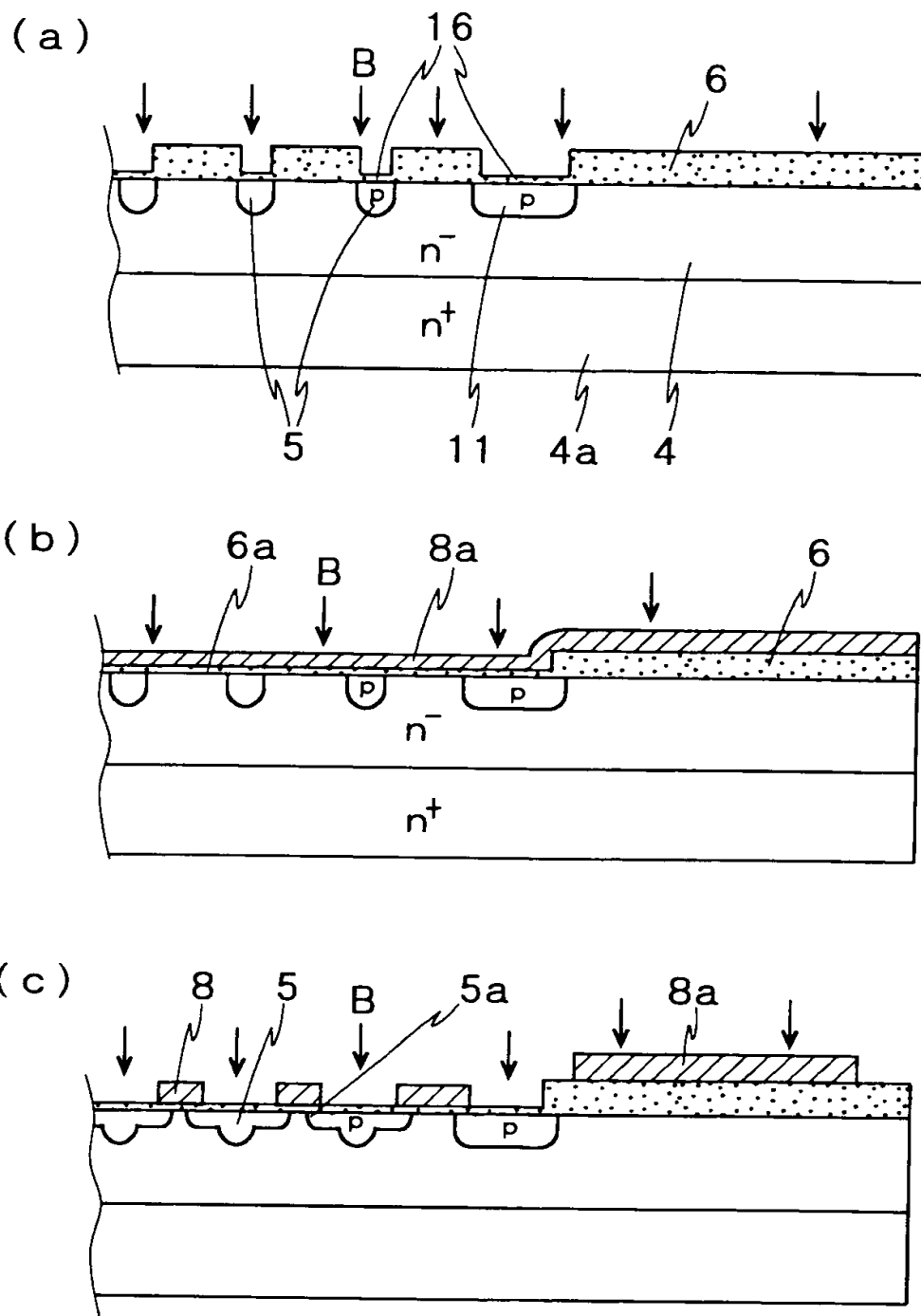
【図 1】



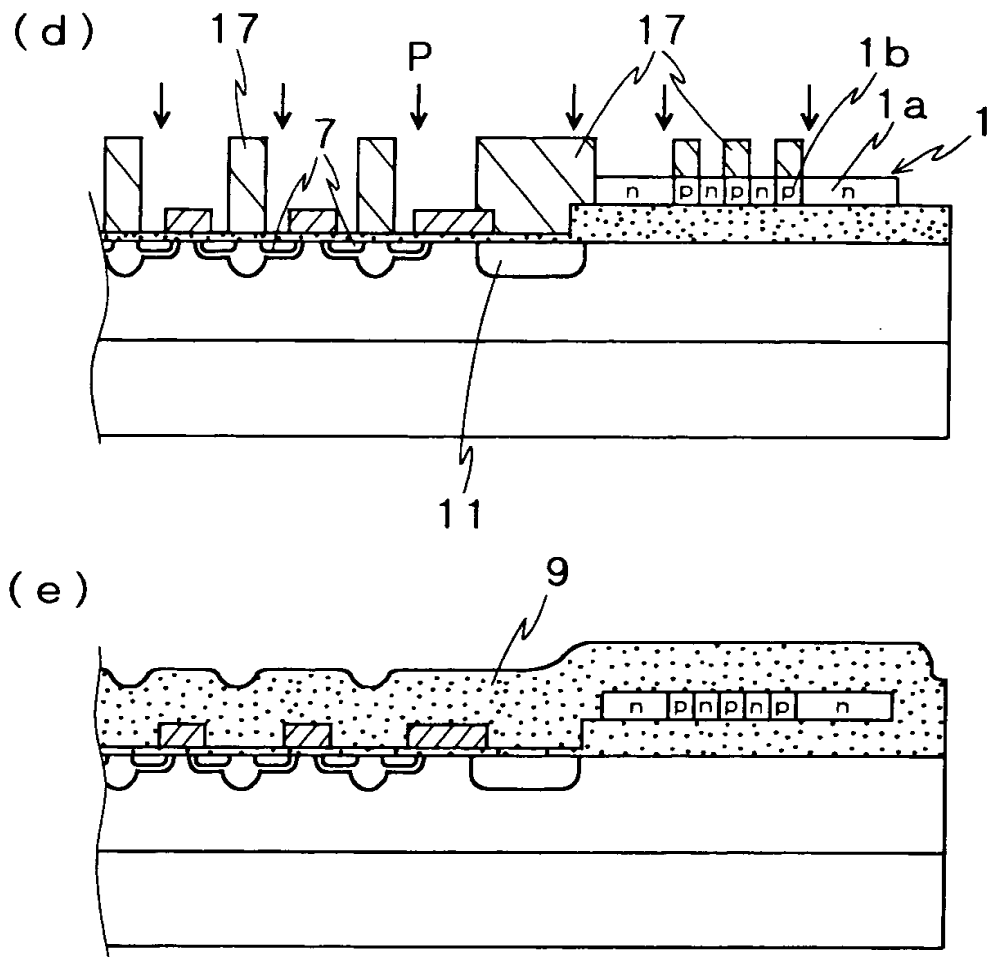
【図 2】



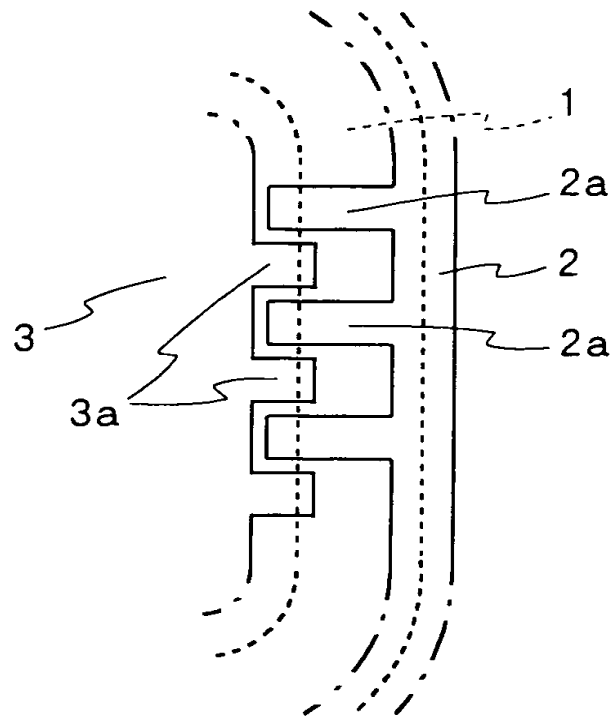
【図 3】



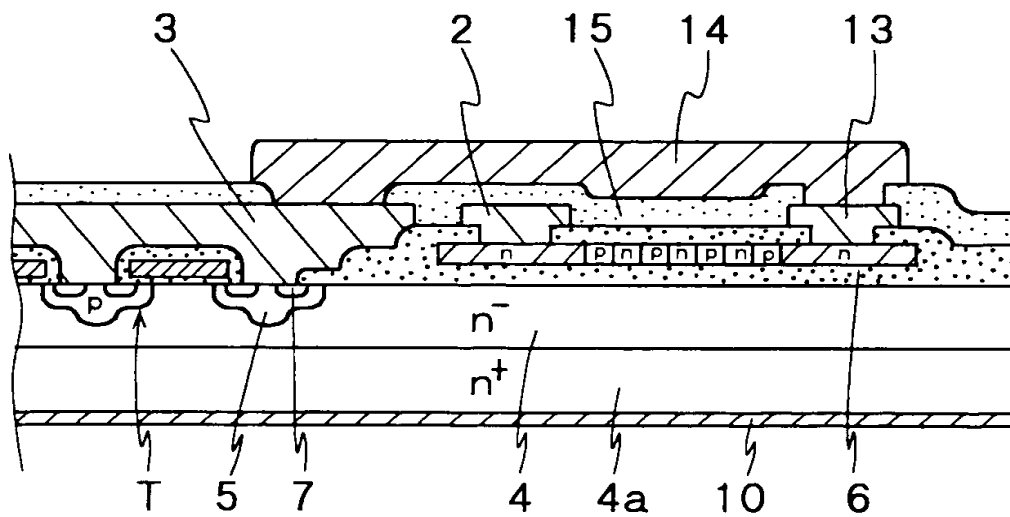
【図 4】



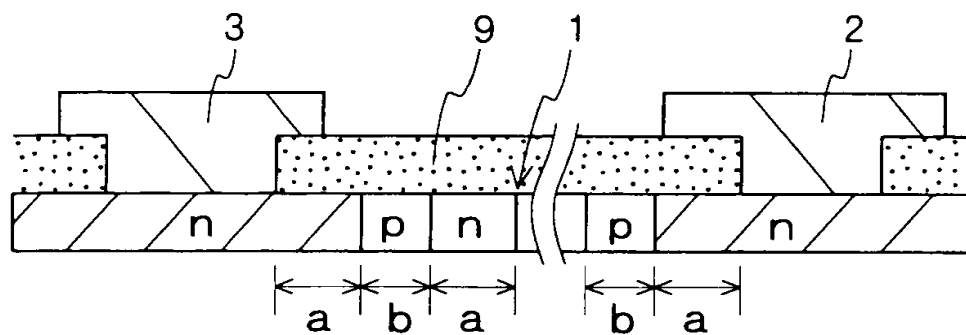
【図 5】



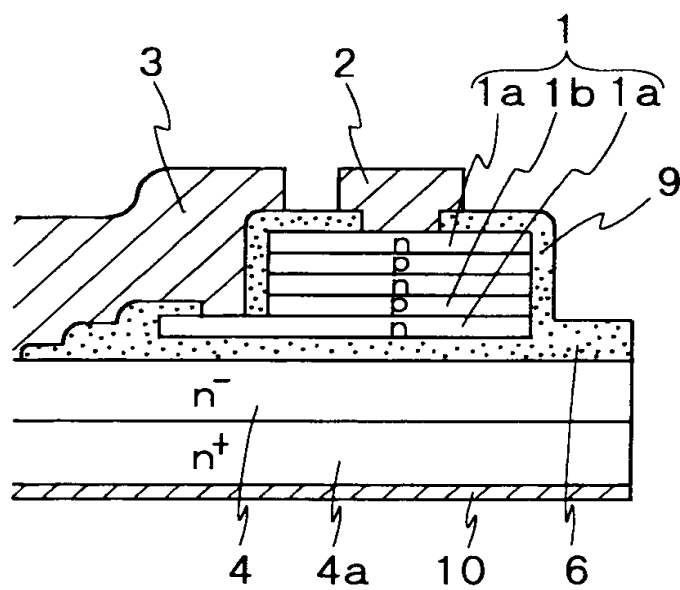
【図 6】



【図 7】

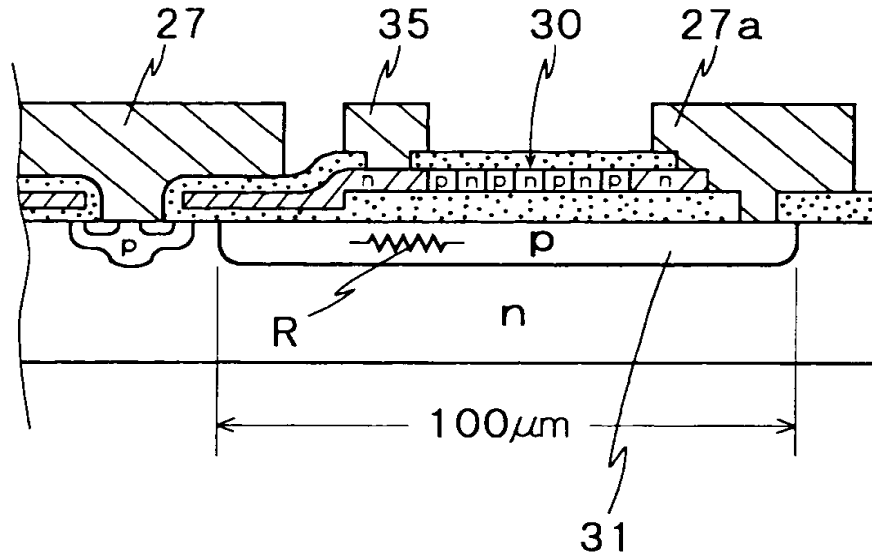


【図 8】

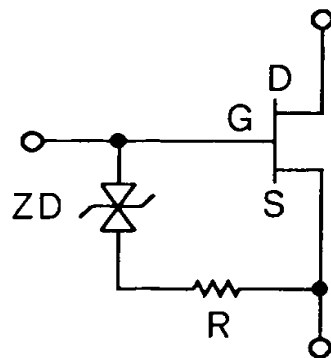


【図9】

(a)

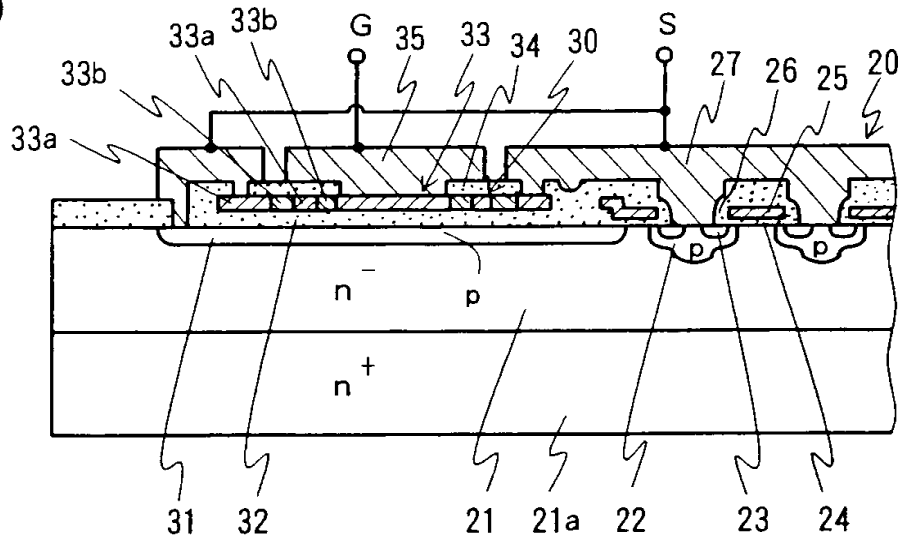


(b)

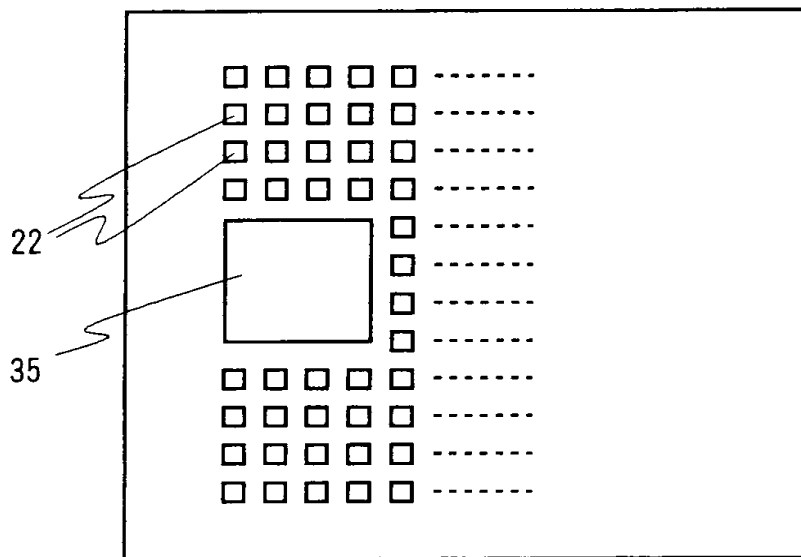


【図 1 0】

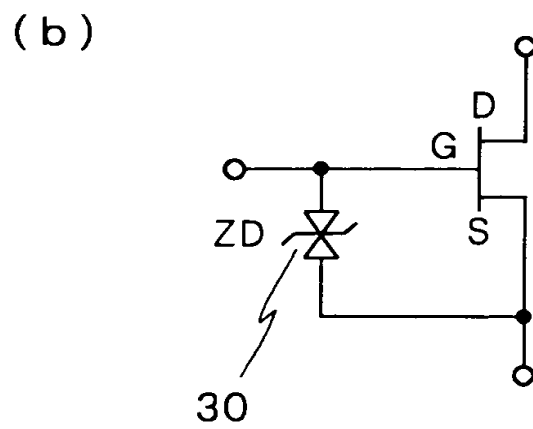
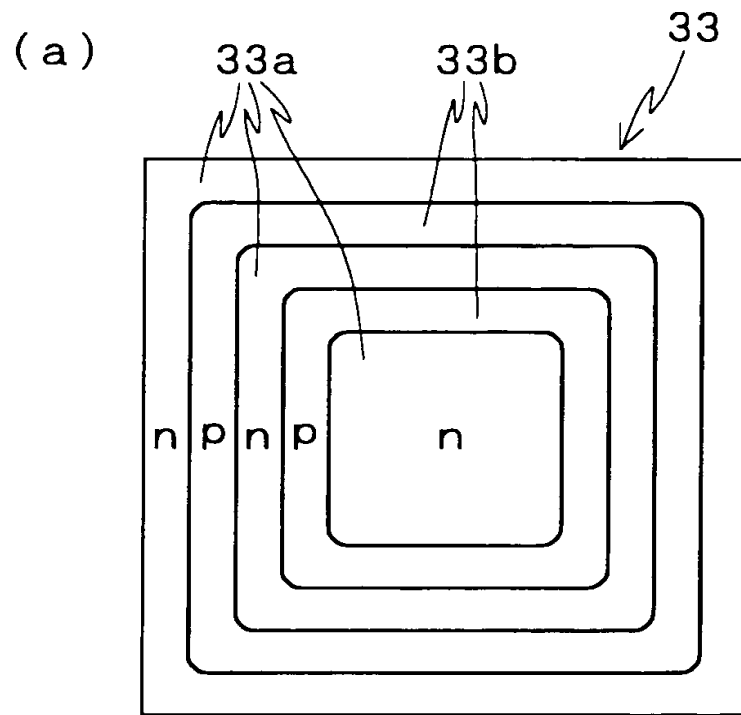
(a)



(b)



【図 11】



【書類名】 要約書

【要約】

【課題】 チップ面積を大きくすることなく、チップの空いている外周部分を利用しながら、直列抵抗が小さく、かつ、十分に保護機能を果たすことができる保護ダイオードを有する半導体装置を提供する。

【解決手段】 半導体層 4 に複数のトランジスタセル T が配列されて形成されている。その複数のトランジスタセル T より外周側（チップ端部側）の絶縁膜 6 上にポリシリコン膜によるリング状の p 形層 1 b と n 形層 1 a とが交互に設けられることにより、保護ダイオード 1 が形成されている。この保護ダイオード 1 は、その一番外側の層に、A 1 などの金属膜からなるゲート配線 2 がリング状に設けられてコンタクトされ、一番内側の層に、金属膜からなるソース配線がコンタクトされることにより、ゲートとソース間に接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	京都府京都市右京区西院溝崎町21番地
氏 名	ローム株式会社